

平成15年2月27日

財団法人日本情報処理開発協会  
早稲田大学  
独立行政法人産業技術総合研究所

## 並列コンピュータを10倍以上速くするソフトウェアの開発に成功

- 3月20日、APC2003 アドバンスト並列化コンパイラ技術国際シンポジウム開催、プロジェクト成果を発表 -

(財)日本情報処理開発協会、早稲田大学、産業技術総合研究所は、(株)日立製作所、富士通(株)と協力して、最新並列コンピュータの性能を10倍以上高速化する世界最先端のソフトウェア(並列化コンパイラ)技術を開発しました。

この並列化コンパイラにより、並列コンピュータの所有者は、高価なハードウェアの変更なしに、簡単に3～4年後のコンピュータの性能を得ることができます。

これは産学官の連携による研究開発の成果であり、ハードウェア中心のこれまでのコンピュータ技術ではなく、ソフトウェアとの協調による次世代技術によりコンピュータの実効性能、利便性、コストパフォーマンスの向上を実現します。これにより、地球環境、バイオインフォマティクス、自動車のような高性能コンピュータを利用する科学技術・産業分野の研究開発の促進等が期待できます。

本研究の成果と参加企業による製品化戦略は、3月20日に早稲田大学で開催する国際シンポジウム APC2003 で発表いたします。

平成12年度より3年計画で研究開発を進めてきた「アドバンスト並列化コンパイラ技術」プロジェクト(プロジェクトリーダー:早稲田大学理工学部 笠原博徳教授)は、デスクトップワークステーションから超高性能コンピュータまで広く採用されている並列コンピュータ(\*1)の性能を大幅に向上させる世界最先端のソフトウェア技術(並列化コンパイラ)(\*2)の開発に成功しました。

本プロジェクトで開発した並列化コンパイラは、最新並列コンピュータ(\*3)の処理速度を最大10.7倍(\*4)、平均3.5倍(\*5)向上させる等、プロジェクト研究目標を大幅に上回る性能を達成しました。このソフトウェアを使用することにより、並列コンピュータの所有者は、高価なハードウェアの変更なしに、簡単に3～4年後のコンピュータの性能を得ることができます。

産学官連携による本研究成果は、ハードウェア中心のこれまでのコンピュータ技術ではなく、ソフトウェアとの協調による次世代技術によって、コンピュータの実効性能、利便性、コストパフォーマンスの向上を実現するものであり、これにより並列コンピュータを利用している各種科学技術分野(例えば、地球環境、遺伝子解析、創薬、金融工学、自動車設計、航空宇宙開発等)の研究者・技術者は、従来問題になっていた難しい並列処理プログラムの作成に時間を割く必要がなくなるため、当該分野の研究開発の促進に貢献できます。

また、今後チップマルチプロセッサの導入が予測される次世代携帯電話、ゲーム、PDA等のようなIT分野においても、製品開発期間の短縮、価格性能比向上、低消費電力化等を可能にします。

本プロジェクトの成果は、プロジェクト参加企業である(株)日立製作所及び富士通(株)により平成15年度より順次、製品化されます。

本研究成果と参加企業による製品化戦略は、平成15年3月20日(木)早稲田大学理工学部で開催されるAPC2003 アドバンスト並列化コンパイラ技術国際シンポジウム <http://www.procom-i.co.jp/apc2003/>(資料3)にて、発表します。

なお、本プロジェクトは、(財)日本情報処理開発協会(JIPDEC)が新エネルギー・産業技術総合開発機構(NEDO)から委託を受けて行ったものであります。

#### 【主要開発技術】

- 早稲田大学が開発した「プログラム中の種々のレベルの並列性を有効に引き出す独創的技術であるマルチグレイン並列化技術」と「キャッシュメモリの有効利用により速度向上を可能にするデータローカライゼーション技術」
  - (株)日立製作所が開発した「複雑な処理パターンをもつ大規模なプログラムの並列性解析を可能とするインタープロシージャ解析技術」及び「分散共有メモリの有効利用を可能とするファーストタッチ制御自動データ分散技術」
  - 富士通(株)が開発した「並列性の増大、ローカリティ向上を同時に満たす並列性自動抽出技術」及び「隣接プロセッサとのみの同期で並列実行可能とするパイプライン並列化技術」
- (\*1) 並列コンピュータは、コンピュータの中核部分であるプロセッサを複数接続し並列に計算を行うコンピュータで、高性能パソコン、ワークステーション、小規模サーバからスーパーコンピュータのような超高性能コンピュータまで多くコンピュータで採用されています。また、携帯電話、ゲーム、デジタルテレビのような多くの製品でも複数のプロセッサを1チップに集積した並列コンピュータ(チップマルチプロセッサ)の導入が検討されており、今後のコンピュータの基本的な開発技術になると考えられています。
- (\*2) 並列化コンパイラは人間が書いた通常のプログラムを、複数のプロセッサが効率良く動作するような並列コンピュータ用の機械語に翻訳するソフトウェアです。今回の研究開発では、自動並列化されたプログラムが、どこの企業の並列コンピュータ上でも動くように、機械語ではなく OpenMP と呼ばれる標準的なプログラム言語拡張を用いて並列化された人間にも分かりやすい高級言語(FORTRAN)で記述されたプログラムを出力しています。性能評価では、この OpenMP 記述法を用いて並列化された FORTRAN プログラムを、使用する並列コンピュータ附属のコンパイラで機械語に翻訳し実行するという方式をとっています。
- (\*3) 米国 IBM 社製最新高性能コンピュータ pSeries690 (16 プロセッサ構成) を使用。  
本評価では、システム附属の並列化コンパイラ IBM 社製最新コンパイラ XL Fortran Compiler Version 8.1 を用いた場合の性能と比較。
- (\*4) SPEC CPU95 ベンチマークプログラム集に含まれる 125.turb3d(乱流計算プログラム)に対する性能。ただしここで最大とは、今回評価に使用した 16 プロセッサ IBMpSeries690 上で、(\*5)に述べる 16 本のプログラムを実行した場合、16 本の中で turb3d プログラムに対する速度向上が最大で 10.7 倍であったという意味。開発したコンパイラをより多くのプロセッサを持つシステムで使用すれば、10.7 倍をはるかに越える大きな速度向上を得ることができる。
- (\*5) 業界標準のコンピュータ評価用ベンチマークプログラム集 SPEC CPU95 及び SPEC2000 中の 16 本の科学技術計算プログラムを実行した時の平均速度向上率。SPEC ベンチマークは米国の非営利企業 Standard Performance Evaluation Corporation(SPEC)社が公開しているプログラム集で、CPU、メモリ、コンパイラの能力を測定するのに用いられる。SPEC 社の Web site は <http://www.spec.org> である。

#### [本件に関するお問い合わせ先]

(財)日本情報処理開発協会(JIPDEC) 技術企画部 A P C 推進室 金剛寺英雄  
TEL: 03-3432-9390 FAX: 03-3438-0825 E-Mail: [kongoji@rd.jipdec.jp](mailto:kongoji@rd.jipdec.jp)  
早稲田大学 理工学部電気電子情報工学科 教授 笠原博徳  
TEL: 03-5286-3371 FAX: 03-3232-3594 E-mail: [kasahara@waseda.jp](mailto:kasahara@waseda.jp)  
独立行政法人産業技術総合研究所 情報処理研究部門 研究部門長 大蒔和仁  
TEL: 029-861-5413 FAX: 029-861-3331 E-mail: [k.ohmaki@aist.go.jp](mailto:k.ohmaki@aist.go.jp)

#### (参考資料)

- 資料1 APC コンパイラの最新並列コンピュータ IBM pSeries690(16 プロセッサ)上での性能  
資料2 アドバンスト並列化コンパイラ技術開発プロジェクト概要  
資料3 アドバンスト並列化コンパイラ技術国際シンポジウムプログラム