

アドバンスト並列化コンパイラ技術開発プロジェクト概要

アドバンスト並列化コンパイラ技術研究開発プロジェクトは、経済産業省ミレニアムプロジェクト官民共同研究開発プロジェクトとして、新規産業創出型産業科学技術研究開発制度（産技制度）に基づき、新エネルギー・産業技術総合開発機構(NEDO)から（財）日本情報処理開発協会(JIPDEC)が委託を受け、アドバンスト並列化コンパイラ技術研究体を構成し、2000年9月より2003年3月までの3年度計画で活動を行っている。本プロジェクトの目標は、従来HPC(High Performance Computer)の代名詞ともなっているマルチプロセッサシステム（複数のCPUを有機的に利用し高性能を達成するコンピュータで、今後マイクロプロセッサ、各種携帯情報機器、ホームサーバ等幅広い情報機器で使われていくと考えられている）の実行効率を2倍程度に高め、価格性能比及び使いやすさを向上させることにより、コンピュータ及び各種IT機器の国際競争力を強化しようというものである。

開発技術

APCでは、共有メモリ型マルチプロセッサを中心としたマルチプロセッサの実効性能、価格性能比、使いやすさを向上させ、ハイエンドサーバ自身及びそれを使用する各種研究開発の競争力強化を支援すると共に、今後の携帯電話、PDA、ゲーム等チップマルチプロセッサを使用する各種の情報機器の競争力強化に資することを目的としている。特に、並列処理ではユーザは並列化チューニングに非常に大きな時間を費やさねばならず、本来のモデル開発、ゲームを含めたアプリケーション開発に十分な時間をとれないという問題を抱えている。この問題を軽減し、ソフトウェア開発の生産性を向上させハードウェアと合わせ市場を開拓していくことが今後のIT機器開発では重要であり、そのために本自動並列化コンパイラの開発を急ぐ必要がある。

本プロジェクトでは、従来の市販ループ並列化コンパイラの性能を同一マシン上で概ね2倍上回るということを目指したが、ハードウェアと異なりコンパイラの性能は100%を上限とした実行効率で評価されるため2倍は非常に難しい値である。これを達成するためには、従来のループ並列化ではなく新たな並列処理方式の導入が必須であり、APCではマルチグレイン並列化をコア技術として以下に示すコンパイラ技術の研究開発を行った。また、コンパイラの数値目標の評価も従来世界のプロジェクトで例がないため開発技術による性能向上を客観的に示すために以下に示すような性能評価手法に関する研究も行った。

(1) 自動マルチグレイン並列化技術の開発

マルチグレイン並列化は、従来のループ並列化に加え、サブルーティン・ループ間などの粗粒度タスク間並列性、近細粒度並列性等を階層的に使用する方式で、低オーバーヘッドでプログラム全域にわたるより大きな並列性を利用することが可能である。また、このマルチグレイン並列処理の性能を向上させるデータ依存解析技術、キャッシュあるいは分散共有メモリの有効利用によりメモリアクセスオーバーヘッドの軽減を目指すデータ自動分散技術等、下記のような項目に関する研究・開発を行った。

- 1) マルチグレイン並列性抽出技術・データ依存解析技術（手続き間解析、実行時解析）
- 2) 自動データ分散技術（分散キャッシュ、分散共有メモリの有効利用）
- 3) 投機的実行技術（ハードウェア利用率向上）
- 4) スケジューリング技術（データ転送最小化、処理とデータ転送のオーバーラップによるオーバーヘッド隠蔽）
- 5) 並列性記述言語拡張版の作成（OpenMPのコンパイラモジュール間中間言語としての利用）
- 6) 並列化チューニング技術の開発（プログラム可視化技術、動的情報活用技術）

また、本コンパイラでは、参加企業製のマシンだけではなく他社のマルチプロセッサシステム上でも性能を発揮するプラットフォームフリーの開発を目指し、生成するプログラムはOpenMPと呼ばれる共有型マルチプロセッサ用の標準的なAPI（ディレクティブベースの言語拡張）を用いて並列化したFortran77プログラムである。各社のSMPマシン上でそのマシン用のコンパイラを用いて機械語プログラムを生成し実行する方式をとっている。

(2) 性能評価技術

性能評価では開発するマルチグレイン並列化技術による性能向上を客観的に評価するための手法を開発しており、個別コンパイラ技術の評価手法と総合的な機能評価の両面から研究を行った。

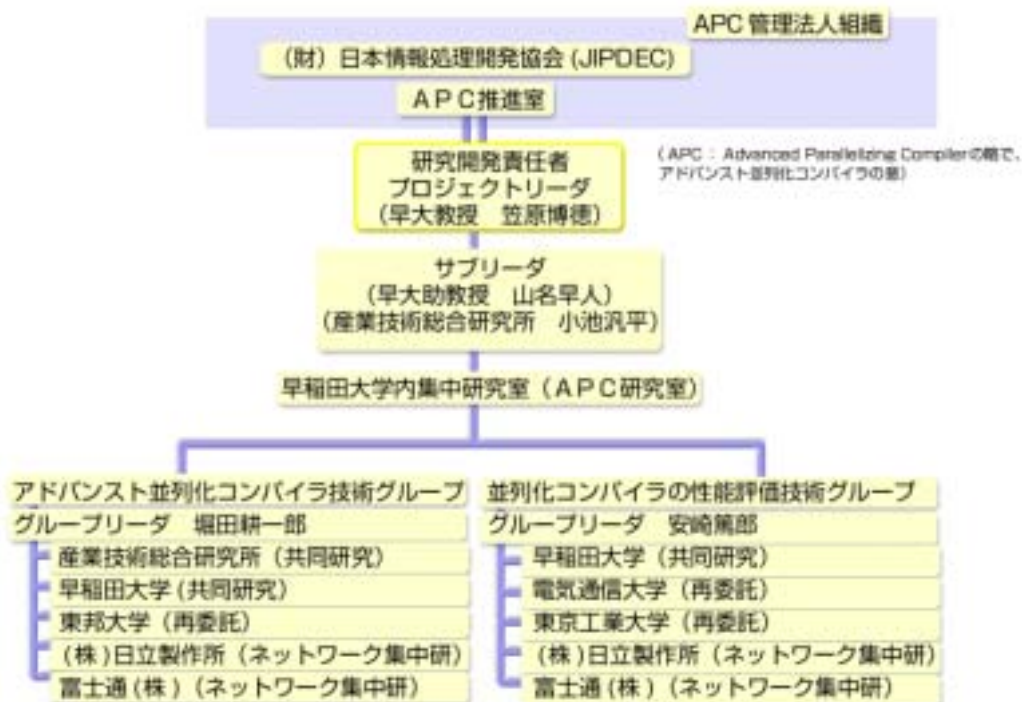
- 1) 個別機能評価手法の開発
- 2) 総合性能評価手法の開発

コンパイラの個別技術及び総合コンパイラの開発評価では、性能評価グループが指定する以下のルールに従って性能評価を実施した。

- ・ 評価対象プログラム (SPEC ベンチマーク、NAS パラレルベンチマーク等)
- ・ 性能比較手法 (評価対象マシン上のネイティブコンパイラとの性能比較では、ネイティブコンパイラと開発コンパイラとも、マシンが持っているプロセッサ数以下で得られる最小処理時間同士で比較する。これはネイティブコンパイラで最小処理時間が得られるのが全プロセッサ数使用時でなくそれより少ないプロセッサ数である場合があるためである)
- ・ 処理時間計測手法 (コンパイル時のオプションは各コンパイラが最小実行時間を与えるものを選ぶ)

プロジェクト体制

アドバンスド並列化コンパイラ技術研究体は、下図に示すように早稲田大学 笠原博徳を研究開発責任者 (P L : プロジェクトリーダー) 早稲田大学山名早人と産業技術総合研究所小池汎平をサブリーダー、アドバンスド並列化コンパイラ技術グループリーダー JIPDEC(富士通より出向)堀田耕一郎、並列コンパイラ性能評価技術グループリーダー JIPDEC(日立より出向)安崎篤郎、管理法人 (財) 日本情報処理開発協会(JIPDEC)、JIPDEC に出向 (兼務) して研究を行う(株)日立製作所及び富士通株からの研究員 21 名、及び共同研究先として産業技術総合研究所、早稲田大学、再委託先として電気通信大学、東京工業大学、東邦大学で構成されている。これらのメンバは、産技制度初の試みである各研究拠点をネットワーク等の利用による「ネットワーク集中研究体方式」で研究開発を行っている。ただし、より密な共同研究開発・当該分野の人材育成を目指し、ネットワークベースの議論に加え、物理的に一カ所に集まり、講演会・開発技術に関する討論を行う技術研究会も頻繁に開催しており、その数は 3 年間で 70 回に達している。



さらに、本プロジェクトでは海外との協調、目標設定の妥当性、成果の海外へのアピール及び国内評価委員会の参考として世界的権威による評価を自主的に受けることを目標に、国際協調委員会を設置している¹。委員会の中核となる インターナショナルアドバイザリボード は Univ. of Illinois、Prof. Padua (Parafrese, Cedar Fortran, Polaris 等並列コンパイラの世界的権威)、Stanford Univ, Prof. Lam (Suif, National Compiler Infrastructure, Suif Explorer 等コンパイラ、チューニングツール分野の権威)、Purdue Univ Prof. Eigenmann (Polaris コンパイラ、SPEC HPC 等、コンパイラ及び性能評価の権威)、Ecole des Mines de Paris, Prof. Irigoien (PIPS Parallelizer 手続き間解析の権威)で構成されている。ボードメンバとは、協調委員会の席だけではなく、ネットワークベースで、技術動向、プロジェクトの進め方、世界への成果のアピール等について議論して戴くと共に、プロジェクトの自主中間評価も行った。

¹ 平成15年3月20日実施のシンポジウム後に最終評価をいただく予定。